

TÍTULO DO TRABALHO: APLICANDO O MOSFET DE FORMA A REDUZIR INDUTÂNCIAS E CAPACITÂNCIAS PARASITAS EM DISPOSITIVOS ELETRÔNICOS

Applying Mosfet To Reduce The Inductance And Capacitance Parasites in Electronic Devices

Tiago Almeida de Oliveira¹, Arlete Vieira da Silva², Mário Marcos de Brito Horta³

RESUMO:

Este artigo propõe soluções aos fenômenos de Indutância e Capacitância Parasitas em Chaveamento aplicando o MOSFET. Dispositivos eletrônicos diversos, tais como: Computadores, Televisão, DVD Player ou qualquer outro aparato tecnológico que se utiliza de tecnologias envolvendo semicondutores está sujeito a este fenômeno, que pode ocasionar atrasos no processamento de Circuitos Lógicos e repiques prejudicando, assim, seu desempenho. Assim, este artigo desenvolve a análise do MOSFET abordando suas principais características em situações diversas, propondo modelamentos de seu comportamento em Circuitos de primeira e segunda ordem (Circuitos RL, RC e RLC) e soluções por meio de equações diferenciais. Desse modo, discutindo os parâmetros alcançados, verificou-se a viabilidade da solução. Assim sendo, ao concluir este estudo, alcançou-se a equação 32, que possibilita o dimensionamento adequado do MOSFET para determinado processamento e operação a fim de se evitar atrasos de propagação. Além de conhecer as principais causas e natureza do problema abordado, possibilitando a prevenção e meios de evita-lo.

Palavras-chave: Circuitos RL, RC e RLC. Indutância e Capacitância Parasitas. MOSFET.

ABSTRACT:

This paper proposes solutions to the phenomena of Inductance and Capacitance Switching Parasites in applying the MOSFET. Various electronic devices, such as computers, TV, DVD Player or any other technological apparatus that uses technologies involving semiconductors is subject to this phenomenon, which may cause delays in processing Logic Circuits and raises and thus impair their performance. Thus, this paper develops the analysis of MOSFET discussing its main characteristics in different situations, modeling by proposing their behavior in circuits first and second order (Circuits RL, RC and RLC) and solutions by means of differential equations. Therefore, discussing the parameters obtained, it was found feasibility of the solution. As soon, to conclude this study, reached the equation 32, which enables proper sizing of the MOSFET for a given processing and operation in order to avoid propagation delays. Besides knowing the main causes and nature of the problem addressed, enabling the prevention and ways to avoid it..

Keywords: Circuits RL, RC and RLC. Inductance and Capacitance Parasite. MOSFET.

1 INTRODUÇÃO

Hoje em dia, em uma única pastilha de Silício – Si, pode-se inserir milhões de circuitos melhorando a mobilidade e processamento das Inovações Tecnológicas existentes. Estas pastilhas são comumente chamadas de Circuitos Integrados - CI. Analisando os dispositivos eletrônicos atuais é difícil se encontrar algum que não faça uso de algum CI. Como por exemplo, o Microprocessador utilizado em Computadores, Notebooks, Ultrabooks, Smartphones é indispensável a estes equipamentos.

O MOSFET – transistor de efeito de campo de metal-óxido-semicondutor – atualmente é um dos dispositivos mais importantes em desenvolvimento de circuitos integrados, pois cada CI pode possuir milhões de transistores. Segundo Boylestad e Nashelsky (1996), seu tamanho e estabilidade térmica, entre outras características, tornam o MOSFET ideal para confecção em larga escala, sendo muito utilizado em projetos de computadores e outros aparatos eletrônicos. Contudo, seu manuseio requer conhecimentos de suas características em chaveamentos de alta frequência, diversas polarizações e como se comporta ante os vários níveis de campo elétrico. Assim, seu uso sem as devidas precauções e conhecimento de seu comportamento em situações diversas pode ocasionar fenômenos parasitas que prejudicam seriamente o processamento de seu circuito lógico. E entre estes fenômenos estão a Indutância e Capacitância Parasitas que ocasionam atrasos de propagação (delays) e repiques (também conhecido como debounce).

Os delays são o que motivam a troca de computadores e notebooks todos os anos. Já os repiques, que causam comutações indesejadas no período de processamento, são incômodos em chaveamentos que requerem precisão. Assim, exemplificando, em um placar eletrônico onde uma comutação implica, por exemplo, em uma mudança de 0 para 1, seria muito indesejado uma mudança de 0 a 6 ou 0 a 5. Outros efeitos indesejáveis devido ao repique também devem ser minimizados em chaveamentos que requerem precisão como em equipamentos médicos e fisioterapêuticos.

Então, diante da demanda de soluções para fenômenos envolvendo o uso de MOSFET e aumento de frequência de processamento cada vez maior em circuitos lógicos digitais, buscou-se minimizar e entender a Indutância e Capacitância parasitas em chaveamentos com MOSFET, propondo uma solução viável ao problema a partir da análise dos resultados obtidos e discutindo sua viabilidade.

2 REFERENCIAL TEÓRICO

2.1 MOSFET

Segundo Boylestad e Nashelsky (1996), o surgimento do MOSFET culminou em um grande avanço tecnológico por ser fácil sua fabricação, ter alto desempenho e proporcionar integração em larga escala, isto é, seu tamanho é cerca de vinte vezes menor que o Transistor de Junção Bipolar - TJB, permitindo que um grande número de transistores seja produzido em um mesmo circuito integrado.

Os mesmos autores afirmam que o MOSFET- Metal Oxide Semiconductor Field-Effect-Transistor (Transistor de Efeito de Campo Metal-Óxido-Semicondutor) – pertence a uma classe de dispositivos semicondutores chamada de Transistores. Ele possui três terminais: um terminal de controle chamado Gate (ou Porta), um terminal de entrada chamado de Drain (ou Dreno) e outro terminal de saída chamado Source (ou Fonte). E subdivide-se em Tipo Depleção e Tipo Intensificação, tendo cada um

destes modos de operação diferentes. E Possuem na sua construção o contato metálico do terminal de porta e é separado do substrato por uma camada isolante de dióxido de Silício SiO_2 .

Os mesmos autores ressaltam que o MOSFET pode ser de dois tipos: MOSFET tipo Depleção e MOSFET tipo Intensificação. O segundo tem várias aplicações na Eletrônica onde se exige chaveamento em altas frequências e construção de portas lógicas. Como, por exemplo, microprocessadores utilizados em Notebooks com frequência de 2GHZ (dois bilhões de chaveamento por segundo) utilizam MOSFETs. A figura 1 mostra múltiplas portas OR e NAND.

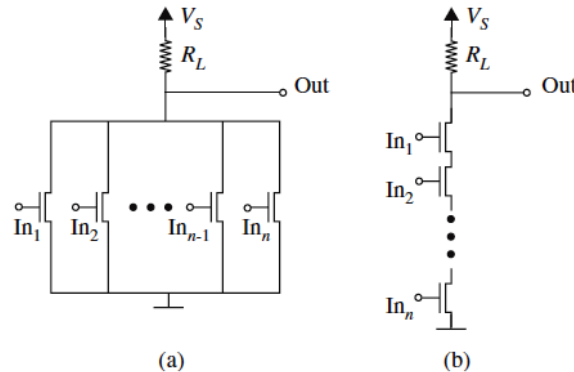


Figura 1 - Múltiplas portas a) OR e b) NAND
Fonte: AGARWAL e LANG, 2005, p. 294

2.2 CAPACITÂNCIA

De acordo com O'Malley (1994), Capacitância é a medida da capacidade de armazenar cargas nos condutores quando separado por algum dielétrico. Especificamente, se a diferença de potencial entre os dois condutores é Volts (V) quando existe uma carga positiva de Q Coulombs em um condutor e uma carga igual negativa no outro, o capacitor possui uma capacitância descrita na equação 1.

$$C = \frac{Q}{V} \quad (\text{Eq. 1})$$

Onde: C é o símbolo de capacitância.

A unidade SI de capacitância é o Farad, (F), unidade esta muito grande para aplicações práticas, sendo o microfarad (μF) e o picofarad (pF) mais comumente utilizados.

O'Malley (1994) ainda ressaltou que para um capacitor de placas paralelas, a capacitância em Farad é representada pela equação 2.

$$C = \xi \frac{A}{d} \quad (\text{Eq. 2})$$

Onde A é a área de cada uma das placas em m^2 , d é a distância (em metros) entre as placas, e ξ é a permissividade do dielétrico em farads por metro (F/m). Aumentando a área das placas ou reduzindo a distância entre elas ou aumentando a permissividade do dielétrico, tem-se um aumento na capacitância. Já a permissividade ξ é relativa ao comportamento atômico do dielétrico.

A energia armazenada em um capacitor, que pode ser comprovada por cálculos, é dada pela equação 3.

$$W_c = \frac{1}{2} CV^2 \quad (\text{Eq. 3})$$

Onde: W_c é em Joules, C em Farads e V em Volts. Assim, percebe-se que a energia armazenada não depende da corrente no capacitor.

2.3 INDUTÂNCIA

Segundo Dorf e Svoboda (2008), Indutância se trata de uma característica intrínseca que cada indutor possui de capacidade de armazenamento de energia em forma de campo magnético. A unidade de medida de indutância em SI é o Henry. E pode ser definida pela equação 4.

$$L = \frac{N^2 \mu A}{l} \quad (\text{Eq. 4})$$

Onde N é o número de espiras de um condutor, A é área de seção reta do núcleo em m^2 , l é o comprimento da bobina em metros e μ é a permeabilidade relativa magnética do meio. Assim, através da fórmula 4, se pode perceber a característica puramente construtiva da indutância.

A energia armazenada em um indutor é dada pela equação 5.

$$w_L = \frac{1}{2} Li^2 \quad (\text{Eq. 5})$$

Com: w_L em Joules, L em Henrys e i em Ampéres.

Esta energia, que pode ser demonstrada através de cálculos, é a energia armazenada no campo magnético ao redor do indutor. Também, pela fórmula 5, percebe-se que energia armazenada no indutor depende de sua corrente e da indutância do dispositivo e como esta não varia por se tratar de um aspecto puramente construtivo, somente pode se interferir nesta energia pela sua corrente.

2.4 CIRCUITOS RL E RC

Segundo Dorf e Svoboda (2008), os circuitos RC e RL de primeira ordem contêm apenas um elemento de energia e são representados por equações diferenciais de primeira ordem. Ou seja, se o circuito tiver apenas um indutor e nenhum capacitor ou apenas um capacitor e nenhum indutor podem ser representados por uma equação diferencial de primeira ordem.

Assim, se tem qualquer circuito elétrico de primeira ordem, contendo capacitor ou indutor, pode-se analisa-lo pelos teoremas de Norton e Thevenin. A figura 2 mostra estes passos. Primeiro, se isola o elemento de armazenamento de energia (capacitor ou indutor). Em seguida, substitui-se o circuito ligado capacitor pelo equivalente de Thevenin e o circuito ligado ao indutor pelo equivalente de Norton. Então, se obtém sua resposta natural e ao degrau.

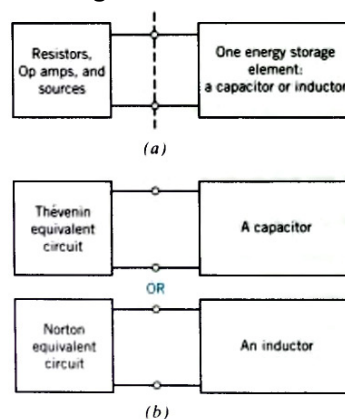


Figura 2 - Passos para análise de Circuitos de Primeira ordem.
Fonte: DORF e SVOBODA, 2008, p. 286

Segundo Nilsson e Riedel (2009), é considerada resposta natural de um circuito de primeira ordem quando as correntes e tensões do circuito se descarregam em uma rede resistiva por meio da energia armazenada no capacitor ou indutor. Ou seja, o elemento de armazenamento de energia descarrega a energia potencial armazenada.

Para a resposta natural de um circuito RL, tem-se a seguinte equação de corrente (Eq. 6)

$$i(t) = I_0 e^{-(R/L)t}, t \geq 0 \quad (\text{Eq. 6})$$

E para um circuito RC, tem-se a seguinte equação de tensão (Eq. 7)

$$v(t) = V_0 e^{-t/(RC)}, t \geq 0 \quad (\text{Eq. 7})$$

Onde I_0 e V_0 são os valores iniciais (em $t=0+$) de corrente e tensão no Indutor e Capacitor, respectivamente.

Segundo Nilsson e Riedel (2009), denomina-se resposta ao Degrau de um Circuito de Primeira Ordem quando o mesmo é submetido a uma aplicação repentina de uma fonte de tensão ou corrente constante.

Deste modo, tem-se para esta resposta a equação 8 para corrente em circuito RL e a equação 9 de tensão para circuitos RC:

$$i(t) = \frac{V_S}{R} + \left(I_0 - \frac{V_S}{R} \right) e^{-(R/L)t}, t \geq 0 \quad (\text{Eq. 8})$$

$$v(t) = I_S R + (V_0 - I_S R) e^{-t/(RC)}, t \geq 0 \quad (\text{Eq. 9})$$

2.5 CIRCUITOS RLC

O circuito RLC também é conhecido como um circuito de segunda ordem, pois possui dois elementos de armazenamento de energia – o capacitor e o indutor. Além disso, ele pode ser representado por uma equação diferencial de segunda ordem.

Segundo Dorf e Svoboda (2008), a ordem da equação diferencial que representa um circuito é no máximo igual à soma do número de capacitores com o número de indutores. Assim, um circuito de segunda ordem pode conter, por exemplo, um capacitor e um indutor ou dois capacitores e nenhum indutor.

Este tipo de circuito pode ser representado pela equação 10.

$$\frac{d^2 x(t)}{dt^2} + 2\alpha \frac{dx(t)}{dt} + \omega_0^2 x(t) = f(t) \quad (\text{Eq. 10})$$

Onde: $x(t)$ é a saída do circuito e $f(t)$ é a entrada do circuito.

A saída do circuito, também chamada de resposta do circuito, pode ser a corrente ou a tensão de qualquer componente do circuito. A saída é frequentemente escolhida como sendo a corrente em um

indutor ou a tensão em um capacitor. As entradas do circuito podem ser tensões de fontes de tensão independentes e/ou correntes de fontes de corrente independentes. Os coeficientes da equação diferencial recebem nomes especiais: α é chamado de amortecimento e ω_0 de frequência de ressonância.

De acordo com Dorf e Svoboda (2008), para representar a resposta de um circuito de segunda ordem, deve-se:

- representar o circuito por uma equação diferencial de segunda ordem.
- Obter a solução geral da equação diferencial homogênea. Esta é a solução é a resposta natural, $x_o(t)$.
- Obter uma solução particular da equação diferencial. Esta solução é a resposta forçada, $x_1(t)$.
- Usar as condições iniciais, como por exemplo, os valores iniciais das correntes nos indutores e das tensões nos capacitores, para calcular as constantes da resposta natural.

Assim, dados os circuitos RLC em série da figura 3, utilizado para ilustrar o comportamento da resposta natural de um circuito RLC, chega-se as seguintes equações (Eq. 11, 12, 13).

$$s^2 + \frac{R}{L}s + \frac{1}{LC} = 0 \quad (\text{Eq. 11})$$

$$s_{1,2} = -\frac{R}{2L} \pm \sqrt{\left(\frac{R}{2L}\right)^2 - \frac{1}{LC}} \quad (\text{Eq. 12})$$

$$s_{1,2} = -\alpha \pm \sqrt{\alpha^2 - \omega_0^2} \quad (\text{Eq. 13})$$

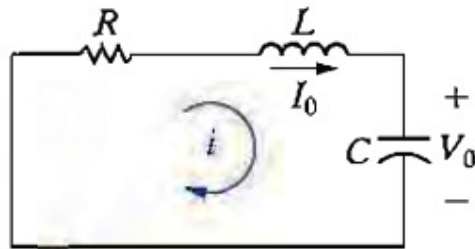


Figura 3 - Circuito RLC em série
Fonte: DORF e SVOBODA, 2008, p. 286

De acordo com Nilsson e Riedel (2009), a resposta do circuito será superamortecida, subamortecida ou criticamente amortecida conforme $\omega_0^2 < \alpha^2$, $\omega_0^2 > \alpha^2$ ou $\omega_0^2 = \alpha^2$, respectivamente. Assim, as três soluções possíveis para a corrente são as seguintes equações (Eq. 14, 15, 16).

$$i(t) = A_1 e^{s_1 t} + A_2 e^{s_2 t} \quad (\text{superamortecida}), \quad (\text{Eq. 14})$$

$$i(t) = B_1 e^{-\alpha t} \cos \omega_d t + B_2 e^{-\alpha t} \text{sen} \omega_d t \quad (\text{subamortecida}), \quad (\text{Eq. 15})$$

$$i(t) = D_1 t e^{-\alpha t} + D_2 e^{-\alpha t} \quad (\text{criticamente amortecida}). \quad (\text{Eq. 16})$$

Assim, como foi achada a resposta de corrente o circuito RLC em série, também é possível se encontrar a resposta da tensão. Para isso, suponha o seguinte circuito que é usado para ilustrar a resposta a um degrau (Fig. 4).

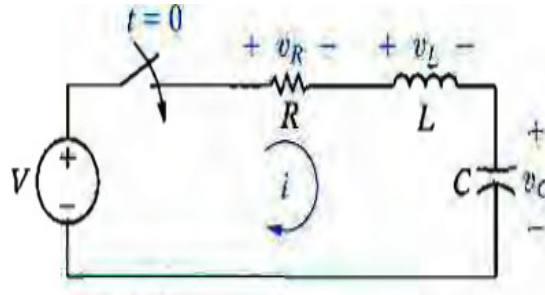


Figura 4 - Circuito RLC em série usado para ilustrar a resposta a um degrau de um circuito RLC em série.
Fonte: NILSSON e RIEDEL, 2009, p. 216

Desta forma, para o circuito da figura 4 pode se encontrar sua resposta ao degrau, por meio da equação 17.

$$\frac{d^2 v_c}{dt^2} + \frac{R}{L} \frac{dv_c}{dt} + \frac{v_c}{LC} = \frac{V}{LC} \quad (\text{Eq. 17})$$

Assim, trabalhando-se a equação 18 da mesma forma que a equação 10, resulta nas seguintes sentenças que representam as formas de respostas a um degrau da tensão no capacitor em circuitos RLC em série (Eq. 18, 19 e 20).

$$v_c = V_f + A_1' e^{s_1 t} + A_2' e^{s_2 t} \quad (\text{superamortecida}), \quad (\text{Eq. 18})$$

$$v_c = V_f + B_1' e^{-\alpha t} \cos \omega_d t + B_2' e^{-\alpha t} \text{sen} \omega_d t \quad (\text{subamortecida}), \quad (\text{Eq. 19})$$

$$v_c = V_f + D_1' t e^{-\alpha t} + D_2' e^{-\alpha t} \quad (\text{criticamente amortecida}). \quad (\text{Eq. 20})$$

A figura 5 expressa às formas de ondas possíveis para tensão e corrente para respostas subamortecidas (Under damped), superamortecidas (Over damped) e criticamente amortecidas (Critically damped).

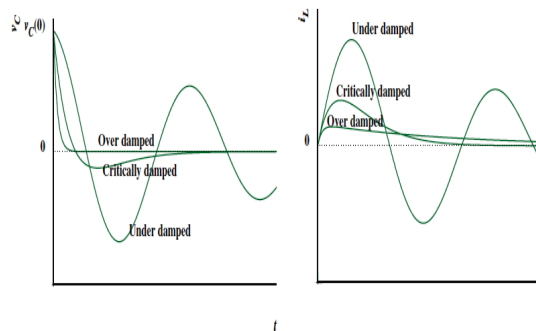


Figura 5 - Resposta natural e ao degrau de um Circuito RLC.
Fonte: AGARWAL e LANG, 2005, p. 649

2.6 CAPACITÂNCIA E INDUTÂNCIA PARASITAS EM MOSFET

Em estudos de circuitos eletrônicos muitas das vezes se costuma ignorar o tempo entre chaveamentos. Porém, na prática, comutações nestes circuitos estão longe serem estáticas, ou seja, não ocorrem instantaneamente e tão pouco suas saídas dependem apenas de suas entradas.

Assim, para ilustrar esta assertiva, suponha que o circuito da figura 6 representa dois inversores em cascata. E se desprezar o tempo entre chaveamento, considerando uma disciplina estática dos dispositivos e de seu comportamento, tem-se uma resposta ideal como demonstrado na figura 7. Contudo, o que de fato ocorre é que na prática se observa uma saída semelhante a da figura 8.

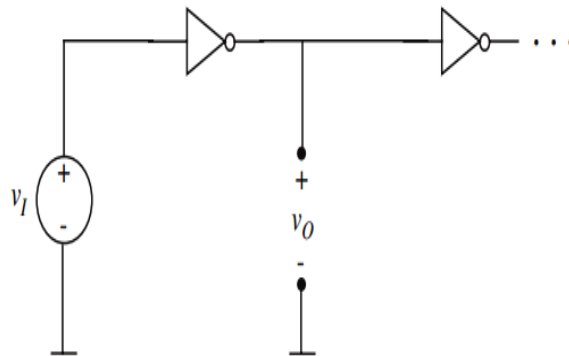


Figura 6 - Dois inversores em cascata
Fonte: AGARWAL e LANG, 2005, p. 457

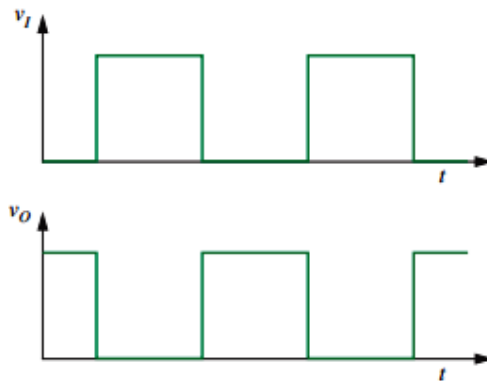


Figura 7 - Resposta ideal de dois inversores em cascata
Fonte: AGARWAL e LANG, 2005, p. 458

Assim, para explicar este comportamento não ideal de circuitos lógicos digitais a compreensão da indutância e capacitância é fundamental. Por exemplo, de acordo com Agarwal e Lang (2005), a capacitância interna do MOSFET que é diretamente responsável pela resposta não ideal vista na figura 8. Portanto, pode-se representar um modelo mais verossímil de dois inversores em cascata conforme a figura 9.

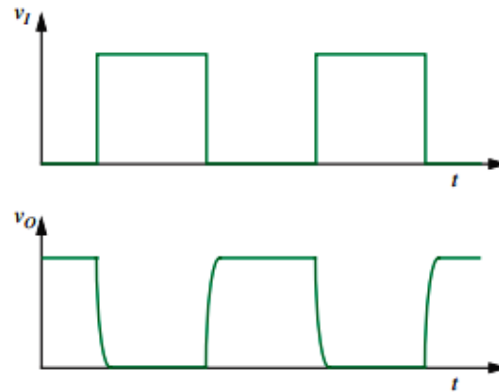


Figura 8 - Resposta prática de dois inversores em cascata
Fonte: AGARWAL e LANG, 2005, p. 458

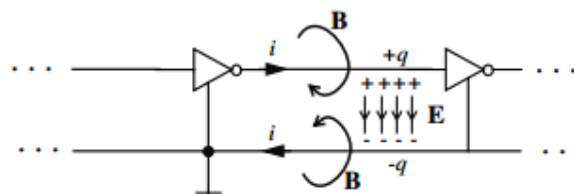


Figura 9 - Modelo real de dois inversores em cascata
Fonte: AGARWAL e LANG, 2005, p. 458

Sadiku (2003) relatou que, de acordo com a Lei Circuital de Ampère, todo condutor de comprimento l ao ser percorrido por uma corrente i gera ao redor de si um campo magnético B . Assim, pode-se observar na figura 9 a representação deste campo magnético devido à interconexão entre circuitos. Muitas das vezes este efeito é desprezado. Contudo, hoje em dia, em que se busca mais e mais mobilidade no que diz respeito à tecnologia de eletrônicos, tem-se uma tendência muito grande em se ter mais e mais circuitos por metro quadrado, não sendo, portanto, este efeito totalmente desprezível. Agarwal e Lang (2005) também afirmam que as interconexões entre circuitos lógicos geram diferenças de potenciais armazenando uma carga q , gerando um campo elétrico E entre os terminais positivos e negativos. Além disso, segundo eles, a resistência entre estas conexões não é necessariamente zero. Assim, chegou-se a um modelo de circuito eletrônico semelhante ao da figura 10, onde se tem considerado a resistência parasita devido a interconexões, indutância parasita devido ao campo magnético criado pela corrente elétrica que percorre o caminho fechado entre os terminais e a capacitância parasita devido a características internas do MOSFET e ao campo elétrico criado pela diferença de potencial nas conexões culminando-se, então, em um modelo real de conexões entre dispositivos e circuitos eletrônicos lógicos.

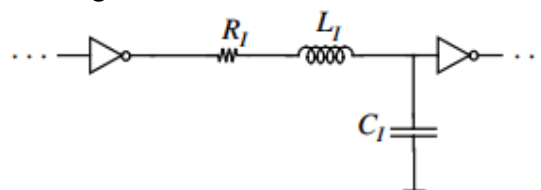


Figura 10 - Modelo real de dois inversores em cascata considerando efeitos da indutância e capacitância parasitas
Fonte: AGARWAL e LANG, 2005, p. 460

3 METODOLOGIA

Segundo GIL (2002), a pesquisa é definida como o procedimento racional e sistemático que tem por objetivo proporcionar respostas aos problemas que são propostos. A pesquisa é requisitada quando não se dispõe de informação suficiente para responder ao problema, ou então quando a informação disponível se encontra em tal estado de desordem que não possa ser adequadamente relacionada ao problema.

O autor afirma ainda que a pesquisa seja desenvolvida mediante aos conhecimentos disponíveis e a utilização cuidadosa de métodos, técnicas e outros procedimentos científicos. Na realidade, a pesquisa desenvolve-se ao longo de um processo que envolve inúmeras fases, desde a adequada formulação do problema até a satisfatória apresentação dos resultados.

O mesmo autor relata que toda e qualquer pesquisa se faz mediante critérios, os quais são classificados em pesquisa documental e experimental, este trabalho de acordo com seu objetivo geral, classifica-se como uma pesquisa documental e experimental. A parte documental consiste pelo fato da mesma ser desenvolvida com base em material já elaborado, constituído principalmente de livros e artigos científicos e, a experimental por definir um objeto a ser estudado, além de envolver coleta de dados técnicos para o desenvolvimento e comprovação teórica e prática no funcionamento do sistema proposto.

Assim, elaborou-se uma pesquisa com materiais bibliográficos existentes, dissertações de mestrado, monografias e testes práticos em laboratórios de Circuitos Eletrônicos Digitais.

Para minimizar a Indutância e Capacitância parasitas em chaveamentos com MOSFET chegou-se a um modelamento matemático do problema por meio de Equações Diferenciais e um modelamento de Circuitos como Sistemas de segunda ordem, culminando-se em uma solução geral do problema e, então, apurou-se os resultados obtidos por meio de experimento prático.

4 RESULTADOS E DISCUSSÃO

4.1 EFEITOS DA INDUTÂNCIA PARASITA EM CIRCUITOS LÓGICOS DIGITAIS

Nesta discussão foram enfatizados os efeitos da indutância parasita em circuitos lógicos digitais. Assim, supondo-se que o circuito da figura 11 onde se tem um inversor e há um longo caminho na conexão entre a saída v_o e o dreno do MOSFET – figura 11a. Desta forma, esta conexão é grande o suficiente para ser modelado por um indutor conforme a figura 11b e tem-se seu circuito elétrico equivalente representado na figura 11c. Então, supondo-se uma entrada em degrau 0 – Vs neste circuito no instante $t_0 = 0s$, antes de t_0 teria a situação da figura 9 c) em que o indutor estaria carregado e como a chave está aberta não haveria meios de se descarregar a energia armazenada no indutor e se em algum momento esta chave fechasse (a entrada retornasse a 0V), o circuito digital poderia ser seriamente danificado pela descarga desta energia armazenada.

Analisando a figura 11 percebe-se que se deve, em circuitos lógicos digitais, evitar conexões que podem se ocasionar indutâncias parasitas, sob pena de danificar o MOSFET com Forças Eletromotrizes Induzidas.

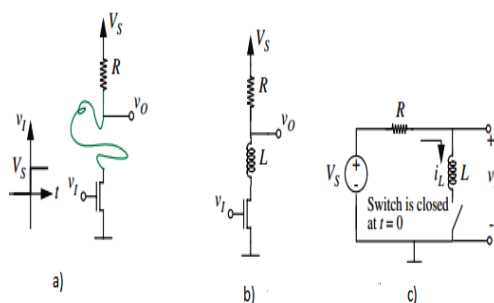


Figura 11 - Circuito Inversor com Indutância parasita. a) Inversor com longo caminho entre a saída v_o e o dreno.

b) Modelo de circuito. c) Circuito para entrada degrau em t_o .

Fonte: AGARWAL e LANG, 2005, p. 546

4.2 EQUACIONANDO DELAYS EM CHAVEAMENTO E ESCOLHENDO O MOSFET CORRETO PARA FREQUÊNCIA DE OPERAÇÃO

O principal objetivo deste tópico foi demonstrar os parâmetros que envolvem os delays (atrasos de propagação) em chaveamento com MOSFET e chegar aos principais fundamentos que devem ser observados em projeto a fim de se minimizar ao máximo os fenômenos que ocasionam atrasos nestas comutações e se escolher o MOSFET correto para a frequência de operação de forma que os atrasos de propagação sejam desprezíveis.

Assim, retomando o exemplo de discussão: dois inversores em cascata na figura 6 (já apresentada).

Deve-se, então calcular o atraso de propagação $t_{pd,0 \rightarrow 1}$ (relativo ao delay nos terminais de saída de um inversor quando em seus terminais há uma subida dos níveis lógicos de 0 para 1) e $t_{pd,1 \rightarrow 0}$ (relativo ao delay nos terminais de saída de um inversor quando em seus terminais há uma descida dos níveis lógicos de 1 para 0).

O atraso de propagação t_{pd} resulta de uma quantidade finita de tempo em que nos terminais de saída demora entre um nível de tensão lógico para outro. E a transição demorada entre estes níveis é atribuída aos efeitos da constante de tempo RC. Portanto, a análise deste circuito inversor se dá em duas situações: quando é aplicada nos terminais de entrada uma tensão V_{IN1} maior ou igual a V_T (tensão limiar que é a diferença de potencial mínima aplicada na porta do MOSFET Intensificação para que haja uma condução entre a Fonte e o Dreno) e quando V_{IN1} é menor que V_T . Assim, na primeira situação tem-se o primeiro inversor em seu estado ligado e na saída v_{out1} uma tensão referente ao nível lógico 0 e na segunda situação tem-se o primeiro inversor em seu estado desligado e na saída v_{out1} uma tensão referente ao nível lógico 1. Os circuitos RC equivalentes destas duas situações estão representados na figura 12, onde está incluído um resistor de carga R_L e o resistor R_{ON} - que é uma representação da relativa pequena resistência entre o Dreno e a Fonte quando o MOSFET está em seu estado Ligado, uma fonte V_s e um modelamento da capacitância C_{GS} na Porta dos inversores.

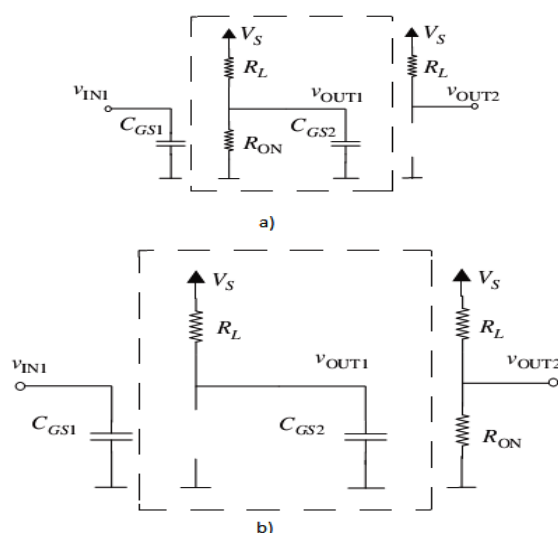


Figura 12 - Modelo de circuito RC de dois inversores em cascata a) com $v_{IN1} \geq v_T$ e b) $v_{IN1} < v_T$.
Fonte: AGARWAL e LANG, 2005, p. 530

Desta forma, para que o dado circuito tenha um comportamento esperado, duas condições devem ser satisfeitas. A primeira é que $R_{ON} \ll R_L$ para que v_{out1} seja um valor pequeno o suficiente para que quando o inversor estiver em seu estado Ligado, ele assuma o estado lógico 0 (baixo) e a segunda é que a constante de tempo RC tem que ser muito menor que o período do chaveamento para que não haja grandes atrasos de propagação.

Assim, ao se enfatizar na primeira situação da figura 12, onde $v_{IN1} \geq v_T$, no circuito dentro caixa pontilhada desta figura e em sua resposta v_{OUT1} tem-se o circuito equivalente da figura 13 com os teoremas de Norton e Thevenin permitindo, portanto, analisar quantitativamente o problema como um circuito RC de primeira ordem.

Desta forma, continuando a análise, ao se considerar a segunda situação da figura 12, onde $v_{IN1} < v_T$, no circuito dentro caixa pontilhada desta figura e em sua resposta v_{OUT1} tem-se o circuito equivalente da figura 14. Portanto, pode-se fazer uma análise quantitativa como um circuito RC de primeira ordem.

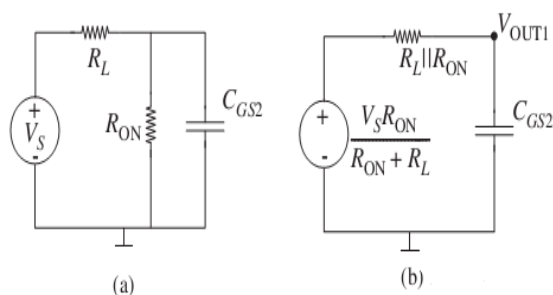


Figura 13 - Circuito RC equivalente da resposta de dois inversores em cascata quando . a) Equivalente de Norton e b) Thévenin.

Fonte: AGARWAL e LANG, 2005, p. 531

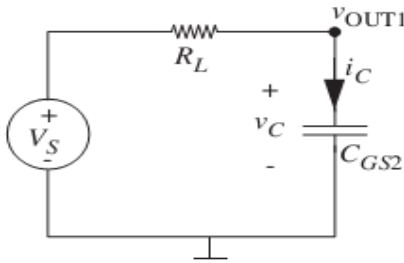


Figura 14 - Circuito RC equivalente da resposta de dois inversores em cascata quando $v_{IN1} < v_T$.

Fonte: AGARWAL e LANG, 2005, p. 531

4.2.1. CALCULANDO $t_{pd,0 \rightarrow 1}$

Este cálculo se aplica quando $v_{IN1} \geq v_T$, tendo, portanto, seu circuito equivalente de acordo com a figura 13. E assume-se que para o restante do cálculo que o nível de tensão lógico equivalente ao 0 máximo v_{OL} é 1Volts e que o nível de tensão equivalente ao 1 mínimo v_{OH} é 4Volts, R_{on} é $1k\Omega$, a tensão limiar v_T é 1Volt, o resistor de carga R_L é $10k\Omega$ e a tensão CC V_S é 5Volts.

Assim, considerando este circuito em regime permanente, o capacitor C_{GS2} estará carregado com sua tensão em 5V. Assim, precisa-se calcular $t_{pd,0 \rightarrow 1}$ que é o tempo necessário para que a tensão caia de 5 para 1 Volts. Assim, fazendo esta análise a partir da equação 9 e a figura 13 tem-se a seguinte equação 21.

$$v_C(t) = V_{TH} + (V_S - V_{TH})e^{-t/(R_{TH}C_{GS2})} \quad (\text{Eq. 21})$$

Como o objetivo é saber o atraso de propagação $t_{pd,0 \rightarrow 1}$, a equação 21 deve satisfazer a condição proposta na equação 22.

$$V_{TH} + (V_S - V_{TH})e^{-t/(R_{TH}C_{GS2})} < 1 \quad (\text{Eq. 22})$$

Após isolar o t, resulta a equação 23.

$$t > -R_{TH}C_{GS2} \ln\left(\frac{1 - V_{TH}}{V_S - V_{TH}}\right) \quad (\text{Eq. 23})$$

Como $R_L = 10K\Omega$ e $R_{ON} = 1K\Omega$, $R_{TH} = \frac{10}{11}K\Omega$, $V_{TH} = \frac{V_S}{11}$. Tem-se a equação 24.

$$t > -\frac{1000}{11}C_{GS2} \ln\left(\frac{3}{25}\right) \quad (\text{Eq. 24})$$

Agora, supondo-se que $C_{GS2} = 100fF$, encontra-se a equação 25.

$$t > -\frac{10}{11} \times 10^3 \times 100 \times 10^{-15} \times \ln(3/25) = 0,1928ns \quad (\text{Eq. 25})$$

Assim, tem-se o cálculo e resultado do tempo de atraso de propagação $t_{pd,0 \rightarrow 1}$.

$$t_{pd,0 \rightarrow 1} = 0,1928ns$$

4.2.2. CALCULANDO $t_{pd,1 \rightarrow 0}$

Este cálculo se aplica quando $v_{IN1} < v_T$, tendo, portanto, seu circuito equivalente de acordo com a figura 14. E, como no item 4.2.1, assume-se que para o restante do cálculo que o nível de tensão lógico equivalente ao 0 máximo v_{OL} é 1Volts e que o nível de tensão equivalente ao 1 mínimo v_{OH} é 4Volts, R_{on} é $1k\Omega$, a tensão limiar v_T é 1Volt, o resistor de carga R_L é $10k\Omega$ e a tensão CC V_S é 5Volts.

Assim, quando a entrada v_{IN1} vai para o nível lógico 0, o capacitor C_{GS2} já estava carregado com uma tensão V_{CO} que é determinada pela equação 26.

$$V_{CO} = \frac{V_S R_{ON}}{R_{ON} + R_L} = 5/11V \quad (\text{Eq. 26})$$

O objetivo aqui foi verificar o tempo gasto para que a tensão no capacitor se eleve até $V_{OH} = 4Volts$. Assim, novamente utilizando a equação 9, o resultado está representado na equação 27.

$$v_C(t) = V_S + (V_{CO} - V_S)e^{-t/(R_L C_{GS2})} \quad (\text{Eq. 27})$$

Assim, para esta equação satisfazer o objetivo, tem-se a equação 28.

$$5 - (50/11)e^{-t/R_L C_{GS2}} > 4 \quad (\text{Eq. 28})$$

Que após isolar o t, resulta na equação 29.

$$t > R_L C_{GS2} \ln\left(\frac{11}{50}\right) \quad (\text{Eq. 29})$$

Cujo resultado é representado por:

$$t > -10 \times 10^3 \times 100 \times 10^{-15} \ln(11/50)$$

Encontrando-se o valor de atraso de propagação:

$$t_{pd,1 \rightarrow 0} = 1,5141ns$$

4.2.3. CALCULANDO t_{pd}

Segundo Argawal e Lang (2005), o atraso de propagação da porta t_{pd} é o maior valor entre os delays de subida e descida, sendo representado pela equação 30.

$$t_{pd} = \max(t_{pd,0 \rightarrow 1}, t_{pd,1 \rightarrow 0}) \quad (\text{Eq. 30})$$

Portanto, neste exemplo $t_{pd} = 1,5141ns$.

Após os cálculos de atraso de propagação, quando o nível lógico de entrada é alto e baixo, e posteriormente, calculando o maior delay entre estes se chegou a duas considerações.

A primeira consideração consiste que o período de chaveamento T é o inverso de sua frequência f. Portanto, suponha-se que o máximo de delay tolerável seja de 10%. Assim, pode-se mensurar a máxima frequência de processamento que este MOSFET pode ser submetido, de acordo com a equação 31.

$$0,1T > t_{PD} = 1,5141 \times 10^{-9} s \quad (\text{Eq. 31})$$

Sintetizando esta equação tem-se:

$$T > 0,15141ns$$

Portanto,

$$f_{\max} \cong 6.6GHz$$

Esta frequência é aplicável à maioria das frequências utilizadas na atualidade.

A segunda consideração se faz ao verificar o tempo de atraso de propagação, onde se conclui que

$$t_{pd} \cong R_L C_{GS2}. \text{ Sendo,}$$

$$XT > t_{pd} \cong R_L C_{GS}$$

Pode-se entender que:

$$C_{GS(\max)} \cong \frac{XT}{R_L}$$

Portanto, a equação 32 resulta em uma função onde se pode escolher o MOSFET de acordo com frequência de processamento adequada e por meio da capacitância C_{GS2} que também é especificada em Folha de Dados do fabricante.

$$C_{GS(\max)} \cong \frac{X}{fR_L} \quad (\text{Eq. 32})$$

Onde $C_{GS(\max)}$ é a capacitância máxima aceitável, X é a tolerância máxima de delay, f é a frequência de chaveamento e R_L é a resistência da carga.

A importância da expressão é grande, pois pode auxiliar qual MOSFET deve ser escolhido de acordo com sua frequência de trabalho.

4.3 EQUACIONANDO OS EFEITOS DE CIRCUITOS DE 2ª ORDEM EM CIRCUITOS LÓGICOS

O objetivo deste tópico foi demonstrar os efeitos de sistemas de 2º ordem em circuitos lógicos, enfatizando a importância de se prevenir este fenômeno. Assim, a Capacitância e Indutância Parasitas em Chaveamentos com MOSFET, e o exemplo de dois inversores em cascata representado na figura 15, supõe-se, então, que a capacitância de entrada C_{GS} passa a ser significativa neste exemplo e que na ligação entre a saída do primeiro inversor e a entrada do segundo inversor seja suficiente para se considerar uma indutância parasita.

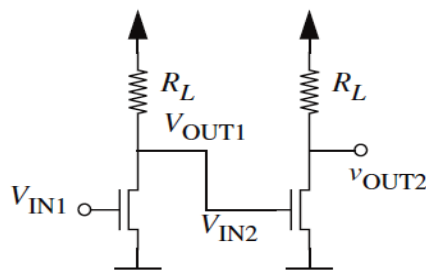


Figura 15 - Conexão de dois inversores em cascata.

Fonte: AGARWAL e LANG, 2005, p. 625

Nessa situação tem-se, portanto, uma Indutância e Capacitância parasita, fazendo com que o circuito se comporte como um circuito de segunda ordem.

A figura 16 ilustra os inversores com capacitância e indutância parasitas enquanto que a figura 17 mostra o circuito elétrico equivalente nesta situação.

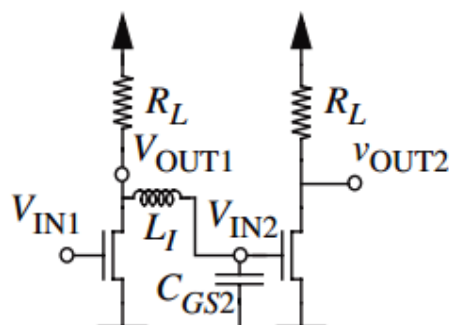


Figura 16 - Conexão de dois inversores em cascata com Indutância e Capacitância Parasitas.

Fonte: AGARWAL e LANG, 2005, p. 626.

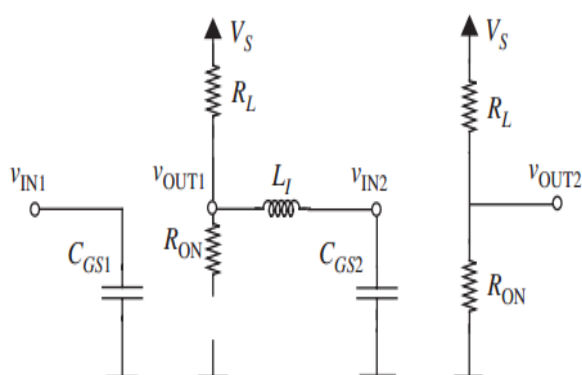


Figura 17 - Circuito Equivalente em inversores com capacitância e indutância parasitas.

Fonte: AGARWAL e LANG, 2005, p. 626.

Assim, para a figura 17, se tem os seguintes valores:

$$R_L = 900\Omega$$

$$R_{ON} = 100\Omega$$

$$V_S = 5V$$

$$C_{GS2} = 0,1pF$$

$$L_1 = 100nH$$

$$v_C = v_{in2}$$

Supõe-se uma entrada na forma de uma onda quadrada entre 0 e 5V. Se tem então, dois circuitos elétricos equivalentes: circuito elétrico relativo ao transiente de descida (entrada em 0V) e o relativo ao tempo de subida (entrada em 5V). Desta forma, para a primeira situação espera-se um circuito equivalente semelhante ao da figura 18a e para o segundo caso espera-se um circuito equivalente da figura 18b.

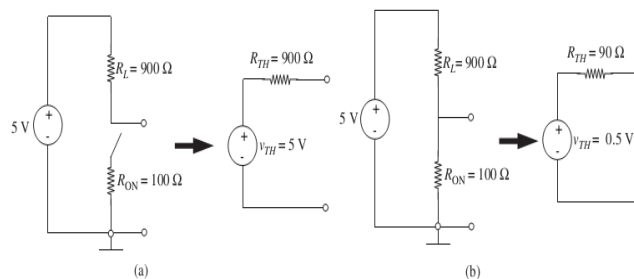


Figura 18 - Circuito equivalente de dois inversores em cascata para a) transiente de descida e b) transiente de subida.

Fonte: AGARWAL e LANG, 2005, p. 667.

Desta forma, para as duas situações da figura 18 têm-se dois circuitos equivalentes de Thevenin distintos. Contudo, para os dois casos tem-se um modelamento de circuito semelhante ao da figura 19, que representa um circuito RLC de segunda ordem. Portanto, como um circuito que possui duas fontes de armazenamento de energia, um indutor e um capacitor, deve ser analisado como um circuito de segunda ordem.

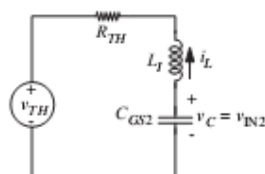


Figura 19 - Circuito equivalente de dois inversores em cascata

Fonte: AGARWAL e LANG, 2005, p. 667.

As duas complicações que o exemplo da figura 16 apresenta é que, primeiramente, apresenta valores de R_{TH} diferentes para valores de transiente de subida e de descida e, segundo, também apresenta valores de V_{TH} não varia de ou para 0V, mas 0,5V.

Para simplificar os cálculos, pode-se dividir V_{TH} em duas partes. Como V_{TH} varia entre 0,5V e 5V, pode-se dizer que em V_{TH} tem uma parte constante que permanece em 0,5V e outra que varia entre 0 e 4,5V. O motivo que torna possível esta divisão é que o circuito da figura 19 é linear. Assim, chama-se a primeira de V_{TH} que permanece em 0,5V de \bar{V}_{TH} e a parte que varia de \tilde{V}_{TH} . Esta divisão é ilustrada na figura 20.

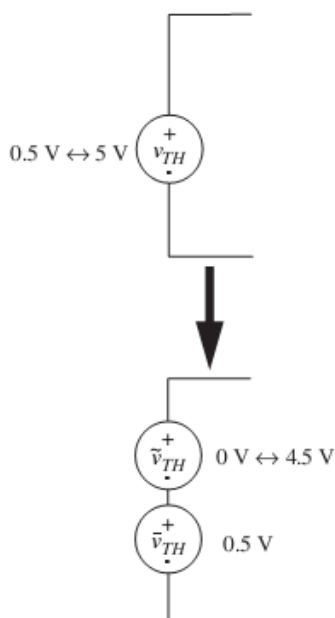


Figura 20 - Divisão de V_{TH} em duas fontes

Fonte: AGARWAL e LANG, 2005, p. 668.

4.3.1 TRANSIENTE DE DESCIDA

Nesta situação, tem-se uma resposta natural de um circuito de segunda ordem onde se admite que V_{TH} permaneceu 5V por um longo tempo, desde que o capacitor e o indutor, respectivamente, se comportam como um circuito aberto e um curto circuito depois de um longo período de tempo e a saída v_C é 5V e i_L 0V. Portanto, para a componente variante de V_{TH} tem-se as equações 33 e 34.

$$\tilde{v}_C(0) = v_C(0) - \tilde{v}_C = 5.0V - 0.5V = 4.5V \quad (\text{Eq. 33})$$

$$\tilde{i}_L(0) = i_L(0) - \tilde{i}_L = 0A - 0A = 0A \quad (\text{Eq. 34})$$

Assim, também se podem determinar os outros parâmetros para definir o comportamento da resposta v_C do circuito e será subamortecido, superamortecido ou criticamente amortecido, através das equações 35, 36, 37 e 38.

$$\alpha = \frac{R_{TH}}{2L_1} = 4,5 \times 10^8 \text{ rad / s} \quad (\text{Eq. 35})$$

$$\omega_0 = \frac{1}{\sqrt{L_1 C_{GS2}}} = 1,0 \times 10^{10} \text{ rad / s} \quad (\text{Eq. 36})$$

$$\omega_d = \sqrt{\omega_0^2 - \alpha^2} = 0,999 \times 10^{10} \text{ rad / s} \quad (\text{Eq. 37})$$

$$Q = \frac{\omega_0}{2\alpha} = 11 \quad (\text{Eq. 38})$$

Como $\alpha < \omega_0$, o circuito é subamortecido e, então, a resposta devido a componente variante de V_{TH} , \tilde{v}_C e \tilde{i}_L terá a seguinte resposta:

$$\tilde{v}_C(t) = 4,5e^{-(4,5 \times 10^{10} t)} \cos(0,999 \times 10^{10} t - 0,045)V$$

$$\tilde{i}_L(t) = 4,5 \times 10^{-3} e^{-(4,5 \times 10^8 t)} \text{sen}(0,999 \times 10^{10} t)A$$

A resposta total v_C do circuito, somando à componente variante e constante do circuito, é representada nos seguintes resultados e ilustrada na figura 21.

$$v_C(t) = 0,5V + 4,5e^{-(4,5 \times 10^{10} t)} \cos(0,999 \times 10^{10} t - 0,045)V$$

$$i_L = 4,5 \times 10^{-3} e^{-(4,5 \times 10^8 t)} \text{sen}(0,999 \times 10^{10} t)A$$

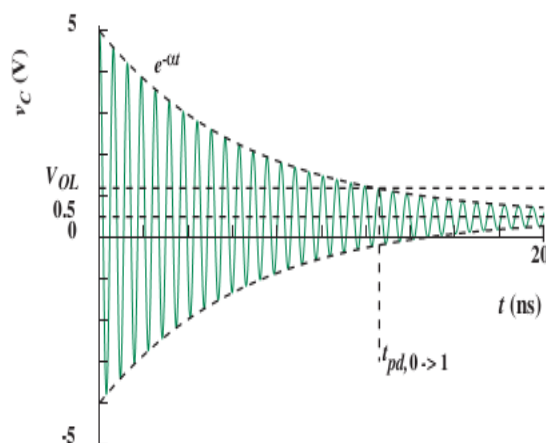


Figura 21 - Resposta de transiente de descida com Repique
Fonte: AGARWAL e LANG, 2005, p. 669.

4.3.2 TRANSIENTE DE SUBIDA

Nesta situação, tem-se uma resposta de um circuito de segunda ordem onde se admite que V_{TH} permanece em 0.5V por um longo tempo, desde que o capacitor e o indutor, respectivamente, se comportem como um circuito aberto e um curto circuito depois de um longo período de tempo e a saída v_C é 0.5V e i_L 0V. Portanto, para a componente variante de V_{TH} tem-se como resultado:

$$\tilde{v}_C(0) = v_C(0) - \tilde{v}_C = 0,5V - 0,5V = 0V$$

$$\tilde{i}_L(0) = i_L(0) - \tilde{i}_L = 0A - 0A = 0A$$

Assim, também se podem determinar os outros parâmetros para definir o comportamento da resposta v_C do circuito e será subamortecido, superamortecido ou criticamente amortecido.

$$V_0 = v_{TH} = 4,5V$$

$$\alpha = \frac{R_{TH}}{2L_1} = 4,5 \times 10^9 \text{ rad / s}$$

$$\omega_0 = \frac{1}{\sqrt{L_1 C_{GS2}}} = 1,0 \times 10^{10} \text{ rad / s}$$

$$\omega_d = \sqrt{\omega_0^2 - \alpha^2} = 8,9 \times 10^9 \text{ rad / s}$$

$$Q = \frac{\omega_0}{2\alpha} = 1.1$$

Como $\alpha < \omega_0$, o circuito é subamortecido e, então, a resposta devido a componente variante de V_{TH} , v_C e i_L terá a seguinte resposta:

$$\tilde{v}_C(t) = 4,5(1 - 1.1e^{-(4,5 \times 10^9 t)} \cos(8,9 \times 10^9 t - 0,47))V$$

$$\tilde{i}_L(t) = 5.1 \times 10^{-3} e^{-(4,5 \times 10^9 t)} \text{sen}(8,9 \times 10^9 t)A$$

A resposta total v_C do circuito, somando a componente variante e constante do circuito tem como resultado os dados a seguir e ilustrada na figura 22.

$$v_C(t) = 0,5V + 4,5(1 - 1.1e^{-(4,5 \times 10^9 t)} \cos(8,9 \times 10^9 t - 0,47))V$$

$$i_L = 5.1 \times 10^{-3} e^{-(4,5 \times 10^9 t)} \text{sen}(8,9 \times 10^9 t)A$$

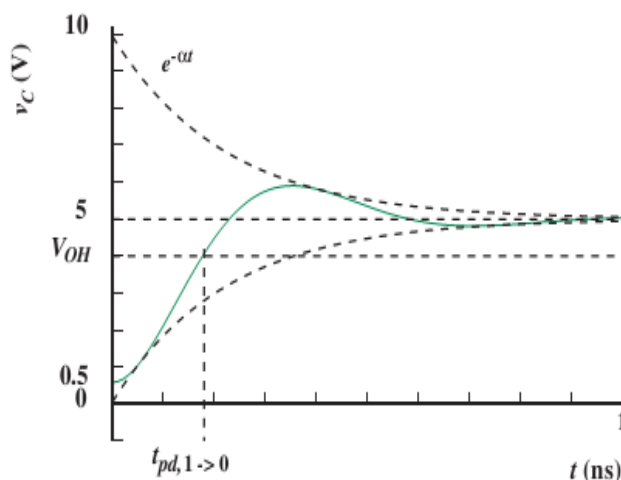


Figura 22 - Resposta de Transiente de Subida

Fonte: AGARWAL e LANG, 2005, p. 671.

Após os cálculos de transientes de subida e de descida verificou-se que os efeitos de circuitos de segunda ordem em circuitos lógicos podem ser muito prejudiciais. Pois, ao analisar a figura 21, percebe-se que os níveis lógicos de saída podem variar uma série de vezes entre 0 e 1 num mesmo período onde deveria haver estabilidade e o atraso de propagação também existe. Assim, têm-se dois sérios problemas: o atraso e o chamado repique que é o efeito de resposta subamortecida na saída do circuito lógico.

Pode-se perceber também que a situação é mais crítica no transiente de descida. Mas isto é esperado, pois no circuito equivalente deste caso tem uma resistência equivalente R_{TH} dez vezes menor que o transiente de subida e como esta resistência é o elemento dissipativo da energia armazenada no indutor e capacitor. Ou seja, quanto menor esta resistência, maior será o efeito subamortecido e o valor de Q (que é o número de oscilações que ocorre no circuito antes da resposta se estabilizar) na saída v_C do circuito. Este valor de R_{TH} é alto, pois o ideal era que este valor fosse zero para se ter uma saída em 0V nesta situação. O valor de R_{TH} no MOSFET 2sk2043 é de no máximo 4.3Ω . Este no circuito acima seria desastroso, aumentando em muito o valor de Q e o efeito do subamortecimento. Assim, deve-se evitar ao máximo, capacitância e indutância parasitas em circuitos lógicos. Outra possível solução detectada é que em uma situação que fosse impossível se evitar este fenômeno seria a aplicação de filtros RC para se eliminar os efeitos da resposta subamortecida.

4.4 TESTE PRÁTICO: APURANDO O ATRASO DE PROPAGAÇÃO

No dia 19/04/2013, no laboratório de Circuitos Elétricos do UNI-BH, foram realizados experimentos práticos para apurar o atraso de propagação (delay) em chaveamentos com MOSFET. Além disso, verificou-se a eficiência da equação 32, que pode ser usada no dimensionamento do MOSFET adequado de acordo com frequência de operação e a tolerância de delay aceitável.

Os materiais utilizados no experimento foram: 1 Transistor MOSFET 2SK2129; 1 Transistor MOSFET 2SK2043; 1 Resistor $10K\Omega$; 2 Resistores $5K\Omega$; 1 Osciloscópio TEKTRONIX; 1 Fonte Vcc; 1 Gerador de Sinais; 1 Protoboard; e 1 Multímetro FLUKE.

O presente experimento trata-se de dois inversores em cascata com cargas de $10K\Omega$, $15K\Omega$ e $20K\Omega$. Na entrada do primeiro inversor tem-se uma entrada em onda quadrada que varia entre 0 e 10V. Tem-se, também uma fonte Vcc de 10V e a capacitância de entrada do MOSFET 2SK2129 (do segundo inversor) é de $730pF$. O diagrama deste circuito é demonstrado na figura 23.

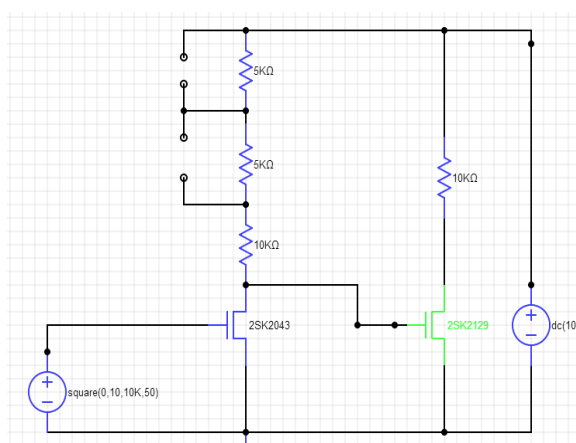


Figura 23 - Diagrama de Circuitos de Experimento prático

Fonte: <https://6002x.mitx.mit.edu>, disponível em 21/04/2013

Foram testadas cargas com valores de $10K\Omega$, $15K\Omega$ e $20K\Omega$ a fim de se verificar os atrasos obtidos com cada uma das cargas. A figura 24 mostra o circuito da figura 23 montado em laboratório.

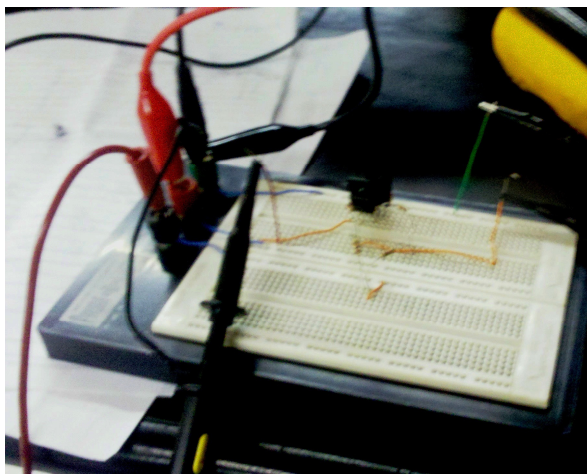


Figura 24 - Dois inversores em cascata: experimento prático
Fonte: O AUTOR, 2013

O objetivo primordial desta prática consistiu em verificar a eficiência e viabilidade prática da equação 32. Assim, no primeiro cálculo foi verificada a frequência de operação no Transistor MOSFET para que se tenha um atraso de propagação de no máximo 10% do período de chaveamento. Desta forma, têm-se os seguintes valores:

$$X = 0,1$$

$$C_{GS} = 730 pF$$

$$R_L = 10K\Omega$$

Realizando os cálculos por meio da equação 32 tem-se como resultado:

$$f \equiv \frac{X}{C_{GS}R_L} = \frac{0,1}{730 pF * 10K\Omega} = 13,7 KHz$$

Assim, também se pode calcular a máxima frequência de operação para $R_L = 15K\Omega$ e $R_L = 20K\Omega$, que resultam respectivamente em:

$$f(15K\Omega) \cong 9,13 KHz$$

$$f(20K\Omega) \cong 6,85 KHz$$

Analisando os resultados para uma carga $R_L = 10K\Omega$ obteve-se as curvas das figuras 25, 26, 27 e 28 relativas, respectivamente, as frequências de 5KHz, 10KHz, 15KHz e 53KHz. Nessas figuras, a curva na parte de cima do osciloscópio diz respeito à tensão de entrada, enquanto a de baixo diz respeito curva de saída.

Pode-se observar o atraso de propagação progressivo de acordo com o aumento de frequência. Para cargas de $15K\Omega$ e $20K\Omega$ obteve-se curva semelhante à figura 27, com frequências de 10KHz e 7,5KHz, respectivamente.



Figura 25 - Resposta do circuito inversor a uma frequência de 5KHz.
Fonte: O AUTOR, 2013



Figura 26 - Resposta do circuito inversor a uma frequência de 10KHz.
Fonte: O AUTOR, 2013

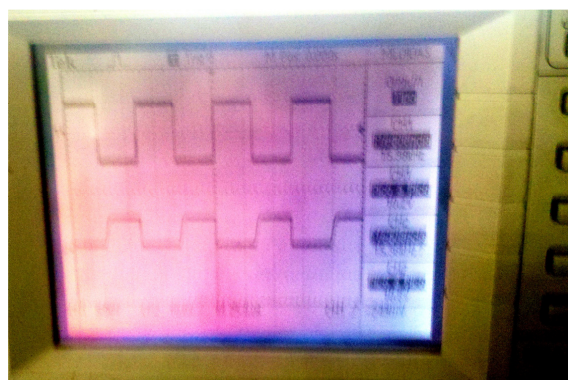


Figura 27 - Resposta do circuito inversor a uma frequência de 15KHz.
Fonte: O AUTOR, 2013



Figura 28 - Resposta do circuito inversor a uma frequência de 53KHz.

Fonte: O AUTOR, 2013

Analisando os resultados obtidos confirmou-se a veracidade da equação 32, pois para frequência de 13,7KHz esperava-se um atraso de 10% em relação ao período da onda de entrada, enquanto na figura 27, se apresentou uma saída relativa a uma frequência de 15KHz com uma inclinação relativa ao atraso de propagação esperado.

Outras observações, também são interessantes. O atraso de propagação progressivo evidenciou a capacitância parasita na entrada do MOSFET 2SK2129. E os resultados obtidos para cargas de $15K\Omega$ e $20K\Omega$ indicaram que o delay depende apenas da carga, pois a capacitância de entrada no MOSFET não varia.

5 CONCLUSÃO

Foram abordados aspectos e fenômenos que envolvem a utilização do MOSFET em chaveamentos de frequências diversas. E dentre estes fenômenos, se analisou, de uma forma profunda, a capacitância e Indutância parasitas nestas comutações. Investigou-se seus efeitos negativos através pesquisas bibliográficas e experimentos práticos, culminando-se em um modelamento matemático e em diagrama de circuitos elétricos que representaram o problema a fim de trata-lo e de investigar suas soluções através da análise de circuitos RC, RL (ambos, circuitos de primeira ordem) e RLC (Circuitos de segunda ordem).

No que diz respeito à Capacitância Parasita, não há como retirá-la da entrada do transistor MOSFET, pois este transistor é de Efeito de Campo – FET, logo essa capacitância em sua entrada é um parâmetro fundamental para seu funcionamento. Assim, o que se pode fazer é conhecer os fundamentos que a envolvem para se escolher o MOSFET com capacitância de entrada adequada para determinada frequência de operação, demonstrada a partir da equação 32.

Esta equação foi muito útil, pois se conseguiu dimensionar o MOSFET adequado a partir da carga R_L , da frequência de operação f e da tolerância de atraso de propagação aceitável X . Assim, esta equação passou a ser um resultado relevante neste trabalho e para sua veracidade foram feitos experimentos práticos, onde se obteve resultados aceitáveis.

Já a Indutância Parasita pode ser minimizada de acordo com as conexões realizadas entre circuitos lógicos. Assim, demonstrou que há necessidade de se aperfeiçoar ao máximo estas conexões para se evitar a indutância parasita. Pois esta pode danificar o circuito pela energia potencial magnética armazenada.

No caso em que se tem a Capacitância e Indutância Parasitas em um mesmo circuito lógico, o mesmo está sujeito a sofrer fenômenos de repique ocasionando erros nos níveis lógicos e atraso de propagação.

Devendo-se, também, otimizar ao máximo as conexões de dispositivos eletrônicos para se inibir a ocorrência deste fenômeno. Mas, uma vez que não se consiga evitar, se devem procurar outras soluções e uma delas é a utilização de Filtros LC, onde se atenua sinais de repique com frequências superiores a de operação.

Portanto, conclui-se que conhecer os fenômenos que envolvem o uso do MOSFET em comutações é muito importante. Pois, a partir dos estudos e experimentos demonstrados neste trabalho constatou-se que, se não tratados os efeitos da Capacitância e Indutância Parasitas, o desempenho dos circuitos lógicos podem ser comprometidos.

6 AGRADECIMENTOS

À Instituição UNI-BH pelo incentivo, apoio e infraestrutura para o desenvolvimento e conclusão deste projeto, em especial ao Coordenador do Curso de Engenharia Elétrica, Prof. Esp. Euzébio D. de Souza, e ao Diretor do Instituto de Engenharia, Prof. MS. João da Rocha Medrado Neto.

Um agradecimento à técnica do laboratório de Circuitos Elétricos, Haline Barbosa, pela disponibilidade de equipamentos e componentes eletrônicos necessários a esta pesquisa.

REFERÊNCIAS

ARGAWAL, Anant; LANG, Jeffrey H. Foundations of Analog and Digital Electronics Circuits. Massachussets – EUA: Elsevier, 2005. 1106 p.

BOYLESTAD, Robert L. Introdução a Análise de Circuitos. São Paulo – SP: Pearson Prentice Hall, 2004. 828 p.

BOYLESTAD, Robert L.; NASHELSKY, Louis. Dispositivos Eletrônicos e Teoria de Circuitos. São Paulo – SP: LTC, 1996. 649 p.

DORF, Richard C.; SVOBODA, James A. Introduction to Electric Circuits. New York – EUA: John Wiley & Sons, Inc, 2001. 865 p.

DORF, Richard C.; SVOBODA, James A. Introdução aos Circuitos Elétricos. Rio de Janeiro – RJ: LTC, 2008. 795 p.

GIL, Antônio Carlos. Como Elaborar Projetos de Pesquisa. São Paulo – SP: Atlas, 2002. 175 p.

NILSSON, James W.; RIEDEL, A. Riedel. Circuitos Eletrônicos. São Paulo – SP: Pearson Prentice Hall, 2009. 574 p.

O'MALLEY, John R. Análise de Circuitos. São Paulo – SP: MAKRON Books do Brasil, 1994. 679 p.

SADIKU, Matthew N. O. Elementos de Eletromagnetismo. Porto Alegre - RS: Bookman, 2004. 687 p.